



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05090572 A**(43) Date of publication of application: **09.04.93**(51) Int. Cl. **H01L 29/78**(21) Application number: **03251716**(22) Date of filing: **30.09.91**(71) Applicant: **TOSHIBA CORP**(72) Inventor: **TERADA TOSHIYUKI  
AOKI MASAMI**(54) **SEMICONDUCTOR DEVICE**

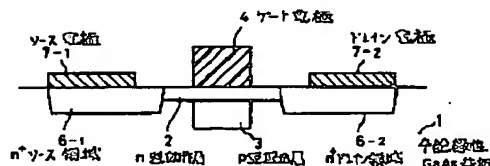
## (57) Abstract:

**PURPOSE:** To improve a drain breakdown strength and to obtain a high-performance MESFET to improve its operating speed by reducing a gate capacitance by a method wherein the MESFET is formed into a structure, wherein an operating layer directly under a gate electrode and  $n^+$  layers are respectively connected to each other by conductive layers having the same impurity concentration as that of the operating layer and of the same depth as that of the operating layer and a layer of a conductivity type opposite to those of the conductive layers does not exist under the lower parts of the conductive layers.

**CONSTITUTION:**  $n^+$  source and drain regions 6-1 and 6-2 are formed at positions at a prescribed distance from a gate electrode 4, an  $n$ -type operating layer 2 directly under the electrode 4 is extended between the layer 2 and these  $n^+$  layers and the layer 2 is electrically connected with the  $n^+$  layers. A  $p$ -type buried layer 3 is formed under the lower part of the layer 2 and only at the part directly under the electrode 4 and the layer 3 does not exist under the lower part of the extended layer 2, by which a channel and the  $n^+$  regions are connected to each other. As a result, a reduction in a gate is possible, a gate

capacitance  $G_g$  is reduced, a current driving capacity  $g_m$  is improved, the series parasitic resistance of a source and a drain can be reduced, the fringing MESFET can greatly be improved.

COPYRIGHT: (C)1993,JPO&amp;Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-90572

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

F I

技術表示箇所

B 8422-4M

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平3-251716

(22)出願日 平成3年(1991)9月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 寺田 俊幸

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(72)発明者 青木 正身

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝総合研究所内

(74)代理人 弁理士 則近 憲佑

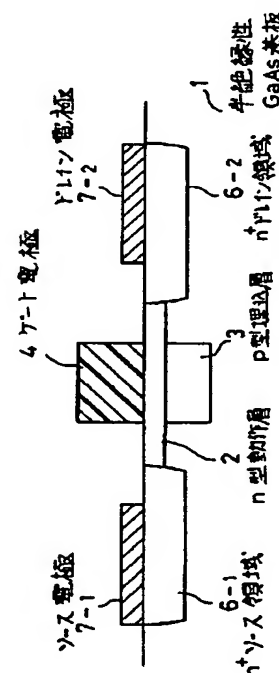
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】本発明は、反対導電型層をチャネルの下部に埋め込んだGaAsMESFETのゲート逆方向耐圧の向上、およびゲートフリンジング容量の低減による動作速度の向上を目的とする。

【構成】チャネルの下部にのみp型埋め込み層が形成され、チャネルと高濃度n+層を接続する部分の下にはp型埋め込み層が存在しない構造とする。

【効果】チャネル-高濃度n+層間接続部分の低濃度化が可能となるため、ゲートドレイン間逆方向耐圧が向上すると共に、ゲートのフリンジング容量が低減され、結果として高速動作が可能となる。



## 【特許請求の範囲】

【請求項1】基板表面に形成された半導体装置の動作層と、前記動作層の表面に形成されたゲート電極と、前記動作層の両側に形成されたソース領域およびドレイン領域とを具備した電界効果トランジスタにおいて、前記動作層から所定の距離を隔てて高不純物濃度半導体のソース・ドレイン領域が形成され、ゲート電極直下の動作層と少なくともドレイン高濃度領域とは前記動作層が延在して接続され、前記動作層の、ゲート電極が形成された部分の下部に前記動作層とは反対導電型の半導体層が形成され、ゲート電極直下の動作層と少なくともドレイン高濃度領域を接続する領域の下部には反対導電型層が形成されていないことを特徴とする半導体装置。

【請求項2】第1の電界効果トランジスタと第2の電界効果トランジスタを直接接続して、前記第1の電界効果トランジスタをスイッチング素子に用いたことを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電界効果トランジスタのような半導体装置に関わり、特に、導電層下部に導電層と反対導電型の不純物層を埋め込んだショットキゲート型電界効果トランジスタに関する。

## 【0002】

【従来の技術】半絶縁性のGaAs基板を用いたショットキ接合ゲート型電界効果トランジスタ（以下MESFET）は、GaAsのもつ高い電子移動度のために、シリコン基板を用いた集積回路では得られない超高速動作を可能とするGaAsIC、LSIの基本素子として注目されている。

【0003】GaAsMESFETの性能を向上するには、ゲート長を短縮することにより、電流駆動能力（ $g_m$ ）を向上させるとともにゲート容量を低減することが本質的である。しかしながら従来の半絶縁性基板上に形成されたMESFETでは、ゲート長の短縮とともに、チャンネル下部のポテンシャルの低下に伴う、いわゆる短チャンネル効果が生じ、短ゲート化を困難にしていた。このため、チャンネルの下部に、チャンネルとは反対の導電型不純物層を形成する構造が提案されている（例えば、特公平2-8456）。この例を図9（a）に示す。図は、表面に耐熱性金属からなるゲート電極の形成されたn型導電層（チャンネル）と、ゲート電極に自己整合的に形成されたn+高濃度層が形成され、それらの下部に、チャンネルとは反対導電型であるp型導電層が形成されている。この様な構造にすることにより、チャンネル下部のポテンシャルが上り、より短いゲート長まで短チャンネル効果を抑制できる。

【0004】さらにFETの性能を向上させる手段として、図9（b）に示すような、いわゆるLDD（Lightl

y Doped Drain）構造が知られている。これは、ゲートの両脇には比較的低濃度で深さの浅い中間層を設け、深く高濃度なn+層を所定の距離だけ離して形成するものである。この構造とすることにより、さらに短ゲート化が可能になる。また、ゲートに近接する部分の濃度が通常のセルフアライン構造に比較して低濃度になるため、ゲートのフリンジング容量が低減され、より高速な動作が可能になると同時に、ゲートドレイン間のショットキ接合の逆方向耐圧が改善され、より高電圧条件での動作が可能になる。

【0005】しかしながら、チャンネル下部に反対導電層（上記の例ではp型層）を埋め込んだ形のFETでは、チャンネルと埋め込み層の間に形成されるpn接合によって、チャンネル側および中間濃度層側にも空乏層が広がる。このため、LDD構造における中間濃度層の不純物濃度を低く設定してしまうと、pn接合による空乏層の広がりによって中間濃度層の部分での抵抗が極めて大きくなってしまい、電流駆動能力の低下を招いてしまう。とくに基板としてGaAsを用いた場合には、ゲート金属以外の部分は表面準位により電位が固定されており、表面側からも空乏層が広がるため、例えば図9（c）に示すように、中間濃度層をチャンネルと同一とした場合（すなわちチャンネルを延長して使用した場合、いわゆるn+オフセット構造）には、チャンネル-n+間接続部分の抵抗のほうがチャンネルよりも逆に高くなってしまいう問題がある。以上のような制限から、反対導電層埋め込み型のLDD構造FETでは、中間濃度層の不純物濃度はチャンネルの2～10倍に設定されるのが一般的であった。このため、前述したようなゲートフリンジング容量の低減、ゲートドレイン間逆方向耐圧の向上に関しては期待されるほどの効果を得られなかった。

## 【0006】

【発明が解決しようとする課題】以上述べたように、従来のGaAsMESFETでは、性能を決める要因、すなわち

1. ゲートのフリンジング容量の低減
2. ゲートドレイン間逆方向耐圧の向上
3. ゲートソース間直列抵抗の低減

の3項目を同時に満足することは困難であった。

【0007】これらのうち、1. ゲートのフリンジング容量の低減、特にゲートドレイン間の掃還容量の低減については、DCFL（Direct Coupled FET Logic）回路など、第一の電界効果トランジスタと第二の電界効果トランジスタとを直接接続して、前記第一の電界効果トランジスタをインバータのスイッチング素子に用いた集積回路において、動作速度を決定する重要な因子になっている。本発明は、前記実情に鑑みてなされたもので、上記3項目を満たし、高性能MESFETを提供することを目的とする。

## 【0008】

【課題を解決するための手段】そこで本発明では、高濃度 $n+$ 層がゲートからの所定の距離離れて形成され、ゲート電極直下のチャンネルとして働く動作層の下部にのみ反対導電型層を有し、ゲート直下の動作層と $n+$ 層の間は動作層と同一の不純物濃度および深さの導電層により接続され、その下部には反対導電型層が存在しない構造とする。

【0009】製造に際しては、従来のLDD構造FETの工程において、従来はチャンネル形成よりも高濃度なイオン注入を行っていた中間濃度層の形成条件を、埋め込まれている反対濃度層と略同一の深さ分布および濃度になる条件で行うことにより、反対導電型不純物を補償する。

【0010】

【作用】従来のLDD構造FETでは、寄生抵抗低減のためにゲートに自己整合的に形成される中間濃度層の濃度を比較的高くする必要があり、このためゲートのフリンジング容量の増大、ゲートドレイン間逆方向耐圧の低下を招いていたが、本発明によれば、ゲート直下と高濃度 $n+$ 層を接続する導電層の下部には反対導電層が形成されないため、チャンネルと同一の不純物濃度および深さの導電層であっても寄生抵抗を低減できる。この結果、ゲート端に接する部分の不純物濃度が、従来のLDD構造に比較して $1/2 \sim 1/10$ に低減され、ゲートドレイン間逆方向耐圧が向上すると共に、ゲートのフリンジング容量が低減される。

【0011】また、このトランジスタは、DCFL回路など、第一の電界効果トランジスタと第二の電界効果トランジスタとを直接接続して、前記第一の電界効果トランジスタをインバータのスイッチング素子に用いて集積回路を形成する際に有効である。すなわち、このDCFL回路のスイッチングFETの場合、ゲートドレイン間容量は入力出力間の掃還容量として働くため、これを低減することはゲートソース間のそれに比べ高速動作性に対しては2倍程度の寄与があり、その効果は極めて大きいものとなる。また、製造に関しては、従来のLDD構造FETの工程を変更すること無く、中間濃度層形成のためのイオン注入条件を変更するだけで実現可能である。

【0012】

【実施例】以下、本発明の第1の実施例を図面を参照しつつ詳細に説明する。図1は、本発明実施例のGaAs MESFETの断面構造図である。

【0013】このGaAs MESFETは、ゲート電極4から所定の距離（本実施例では $0.25 \mu\text{m}$ ）離れた位置に、自己整合的に深さ $0.35 \mu\text{m}$ 、濃度 $3 \times 10^{18} \text{cm}^{-3}$ の $n+$ ソース・ドレイン領域6-1、6-2が形成され、ゲート電極直下の $n$ 型動作層（チャンネル）2とこれら $n+$ 層の間は $n$ 型動作層が延長して電氣的に接続されている。 $n$ 型動作層の下部には、ゲート電極直下の部

分にのみ深さ $0.5 \mu\text{m}$ 、濃度 $5 \times 10^{16} \text{cm}^{-3}$ の $p$ 型層3が形成され、チャンネルと $n+$ 領域を接続する $n$ 型動作層の下部には $p$ 型層は存在していない。

【0014】このFETは、チャンネル下部に $p$ 型層が存在して電子に対するポテンシャル・バリアを形成しているため、チャンネル内の電子を閉じ込める効果が高く、また $p$ - $n$ 接合による空乏層がチャンネル内にもよびるためチャンネル厚が薄くなり、電界の2次元効果を抑制するために短チャンネル効果が抑制される。このため短ゲート化が可能となり、ゲート容量 $C_g$ が低減されるとともに電流駆動能力 $g_m$ が向上する。

【0015】また、ゲート電極とソース・ドレイン $n+$ 領域を接続する $n$ 型動作層の下部には $p$ 型層が存在せず、この部分では $p$ - $n$ 接合による空乏層が $n$ 型動作層側には伸びず、同一のしきい値電圧を与える動作層の形成条件であっても、従来の $p$ 埋め込み型FETに比較してソース、ドレインの直列寄生抵抗を低減できる。

【0016】ゲート電極の両端に注目すると、従来のLDD構造FETでは中間濃度層の濃度がチャンネルの $2 \sim 10$ 倍であったのに対し、本実施例ではチャンネルと同じ濃度にまで低減されているため、ゲートのフリンジング容量が低減され、高速動作性を大きく向上させることができる。

【0017】さらに、ゲートのドレイン端の不純物濃度が大幅に低減されている結果、ゲート・ドレイン間のショットキ特性、特に逆方向ブレイクダウン電圧が大幅に向上するという効果がある。

【0018】このようなGaAs FETを製造する方法としては、従来のLDD構造FETの製造工程において、中間濃度層の条件が、通常チャンネルの $2 \sim 10$ 倍の濃度になるようなドーズ量と、チャンネルと同等かわずかに深くかつソース・ドレインの $n+$ 層よりは浅く形成される加速電圧に設定しているのに対し、チャンネルの下部に形成される $p$ 型層と略同一の不純物分布および不純物濃度になるようにイオン注入条件を選ぶことにより実現できる。この製造方法を、図2を用いて説明する。

【0019】まず、図2(a)に示すように、半絶縁性のGaAs基板1の表面に、選択的イオン注入法によりFETの動作層となる $n$ 型層2を形成した後、その下部に、同様に選択的イオン注入法により $p$ 型埋め込み層3を形成する。その後、硅化タングステン(WSi<sub>2</sub>)からなるゲート金属を膜厚 $5000 \text{\AA}$ となるように堆積し、エッチング加工することによりゲート電極4を形成する。この時 $n$ 層のイオン注入条件は、例えばしきい値電圧( $V_{th}$ )が $0 \sim +0.1 \text{V}$ 程度のノーマリオフ型FETを得たい場合には、Siイオンを加速電圧 $25 \text{KeV}$ 、ドーズ量 $6 \sim 7 \times 10^{12} \text{cm}^{-2}$ 程度に設定する。また、例えば $V_{th}$ が $-0.6 \text{V}$ 程度のFETを得たい場合には、ドーズ量を $1.3 \times 10^{13} \text{cm}^{-2}$ 程度に設定すれば良い。また、ポテンシャル・バリアとして $p$ 型層のイ

オン注入条件は、チャネル直下において、(1) チャネルとのpn接合によりp層が完全に空乏化しない、(2) 両側のn+領域とのpn接合により伸びる空乏層、および最大のドレイン電圧により伸びる空乏層によってもp型層が空乏化しない、という2つの条件を満たすために、Mgイオンを加速電圧180KeV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ 程度に設定する。なお、ゲート長は $0.5 \mu\text{m}$ とした。

【0020】続いてゲート電極をマスクとして、Siイオンを、先に形成したMgによるp型層を打ち消すように、加速電圧200KeV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ で注入する。この条件は、MgによるP型層と、深さ方向の不純物分布、不純物濃度共にほぼ等しいものであり、その結果ゲート電極で保護されたチャネル直下以外のp型層3'は補償され、電気的にほぼ中性となる。

(図2(b))

【0021】次に、図2(c)に示すように、プラズマCVD法など段差被覆性に優れた方法で酸化シリコン膜を膜厚 $0.4 \mu\text{m}$ 程度堆積した後、反応性イオンエッチング(RIE)等の異方性エッチングにより垂直方向に膜厚相当分だけエッチングすることにより、ゲート電極の側壁にのみ酸化シリコン膜5を残置させる。このとき側壁に残置する酸化シリコン膜は幅は堆積膜厚で決まるが、ここでは約 $0.3 \mu\text{m}$ である。

【0022】続いて、図2(d)に示すように、ゲート電極4および側壁絶縁膜5をマスクして例えば120KeV、 $6 \times 10^{13} \text{cm}^{-2}$ の条件でSiイオンを注入することにより、ソース領域6-1およびドレイン領域6-2のn+層を形成する。

【0023】そして、図2(e)に示すように、注入したイオンの活性化のためのアニールを800~900℃で行い、最後にAuGe合金からなるソース電極7-1およびドレイン電極7-2を形成して本発明実施例のFETが完成する。

【0024】この方法によれば、従来のLDD構造FETの製造工程において、イオン注入条件の変更だけで対応可能であり、従来の技術により容易に実現が可能である。また、ゲート電極のドレイン端と、p型層を補償するためのイオン注入部分が自己整合的に形成できるため、最終的に形成されるP型埋め込み層はゲート電極直下のチャネル下部のみに正確に規定される。このため、マスク合わせ誤差などに起因する特性変動が生じず、所望の特性のFETを均一性・再現性良く実現することが可能である。

【0025】また、本製造方法において、P型不純物層を補償するためのイオン注入(上記図2(b))と同時に、従来のLDD構造と同様な中間濃度層8-1、8-2のイオン注入工程を付加することも可能である。こうすることにより、ゲート・ソース間、ゲート・ドレイン間の寄生抵抗を一層低減することが可能である。上記のGa

AsFETを製造する別の方法を、図4に用いて説明する。

【0026】まず、図4(a)に示すように、半絶縁性のGaAs基板1の表面に、選択的イオン注入法によりFETの動作層となるn型層2を形成した後、その表面に厚さ $0.6 \mu\text{m}$ の酸化シリコン(SiO<sub>2</sub>)膜5を形成し、後にゲート電極を形成する領域のSiO<sub>2</sub>膜を選択的に除去した後、SiO<sub>2</sub>膜をマスクとしてp型埋め込み層3を形成するためのMgのイオン注入を、加速電圧180KeV、ドーズ量 $3 \times 10^{12} \text{cm}^{-2}$ 程度で行う。ここでSiO<sub>2</sub>膜の開口部の幅は $0.5 \mu\text{m}$ とした。

【0027】次に、図4(b)に示すように、全面にゲート電極となる窒化タングステン(WN)4-1バリアメタルとして窒化チタン(TiN)4-2、およびメッキ工程の電極となるAu膜4-3を、それぞれ500Å、200Å、300Åの厚さに堆積した後、電解メッキ法によりAu膜4-4を厚さ3000Åに成長してSiO<sub>2</sub>膜の開口部を埋め込む。

【0028】引き続き、Au膜4-3,4をイオンミリング法により全面に渡ってエッチングし、さらにTiN、WN膜を反応性イオンエッチング法よりエッチングすることにより、図4(c)に示すようにSiO<sub>2</sub>膜の開口部の中のみゲート金属を残す。

【0029】次に、SiO<sub>2</sub>膜を除去した後、再度プラズマCVD法などの段差被覆性に優れた方法でSiO<sub>2</sub>膜を膜厚 $0.4 \mu\text{m}$ 程度堆積した後、反応性イオンエッチング(RIE)等の異方性エッチングにより垂直方向に膜厚相当分だけエッチングすることにより、ゲート電極4の側壁にのみ酸化シリコン膜5を残置させる。(図4(d))

【0030】この後、ゲート電極4および側壁絶縁膜5をマスクして例えば120KeV、 $6 \times 10^{13} \text{cm}^{-2}$ の条件でSiイオンを注入することにより、ソース領域6-1およびドレイン領域6-2のn+層を形成する。(図4(e))

【0031】そして、図4(f)に示すように、注入したイオンの活性化のためのアニールを800~900℃で行い、最後にAuGe合金からなるソース電極7-1およびドレイン電極7-2を形成して本発明実施例のFETが完成する。

【0032】この方法によれば、チャネルとn+層を接続する動作層下部のp型層を補償するためのイオン注入が不要になるため、工程の簡略化が計れる。また、本実施例のようにゲートAuを含んだ多層金属膜構造とすれば、高融点金属のみでゲート電極を形成した場合に比較してゲート抵抗が大幅に低減され、より一層の高速動作が可能となる。次に本発明の第2の実施例を説明する。

【0033】図5は、本発明の第2の実施例のGaAs MESFETの構造断面図である。このFETは、ゲー

ト電極4のドレイン端直下からソース領域に渡ってp型層3が形成されている。ゲート電極直下のn型動作層(チャネル)2とドレイン領域の高濃度n+層6-2とは、チャネルのn型動作層2が延長されて電気的に接続されている。また、ソース側は、チャネルよりも高濃度でn+よりも浅い中間濃度層8が形成され、チャネル2とソース領域の高濃度n+層6-1を接続している。

【0034】このFETは、チャネルとドレインn+層を接続する部分の下部にp型層が存在しないため、通常のp埋め込み型LDD構造FETに比べて低濃度のn型層、例えばチャネルと同じn型層でも十分に低い抵抗が得られ、FETの性能を劣化させることがない。このため、ゲート電極のドレイン端が接する部分がn型動作層であるため、通常のLDD構造に比べて不純物濃度が1/2~1/10に低減されており、この結果、ゲートドレイン間のショットキ特性、特に逆方向ブレイクダウン電圧が大幅に向上すると共に、ゲートドレイン間のフリンジング容量が低減され、高速動作性を大きく向上させることができるという効果がある。特に、このゲートドレイン間容量は、例えばDCF L回路のスイッチングFETの場合、入力出力間の帰還容量として働くため、これを低減することはゲートソース間のそれに比べ高速動作性に対しては2倍程度の寄与があり、その効果は極めて大きいものとなる。

【0035】また、ソース側は、通常のLDD構造と同様に中間濃度層によりチャネルソースn+領域が接続されているため、ソース直列抵抗は通常のLDD構造と同様十分に低い値が得られる。次に、このGaAs FETの製造工程について説明する。

【0036】まず、半絶縁性のGaAs基板1の表面に、選択的イオン注入法によりFETの動作層となるn型層2を形成した後、その下部に、同様に選択イオン注入法によりp型埋め込み層3を形成する。その後、硅化タングステン(WSi)からなるゲート金属を膜厚5000Åとなるように堆積し、エッチング加工することによりゲート電極4を形成するところまでは、図2

(a)に示したものと同様である。

【0037】続いて図6(a)に示すように、ドレイン領域に相当する部分のみに開口を有するレジストパターン9を形成し、これをマスクとして、すでに形成されているp型層3を補償するように、例えばSiイオンを加速電圧200KeV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ で注入する。この条件は、Mgによるp型層と、深さ方向の不純物分布、不純物濃度共にほぼ等しいものであり、その結果ゲート電極で保護されたチャネル直下以外のp型層3は補償され、電気的にほぼ中性となる。

【0038】次に、図6(b)に示すように、ソース領域に相当する部分のみに開口を有するレジストパターン9を形成し、これをマスクとして、例えばSiイオンを加速電圧50KeV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ で注入

し、中間濃度層8をソース側のみに形成する。

【0039】引き続き図6(c)に示すように、プラズマCVD法など段差被覆性に優れた方法で酸化シリコン膜を膜厚0.4 $\mu\text{m}$ 程度堆積した後、反応性イオンエッチング(RIE)等の異方性エッチングにより垂直方向に膜厚相当分だけエッチングすることにより、ゲート電極4の側壁にのみ酸化シリコン膜5を残置させる。このとき側壁に残置する酸化シリコン膜の幅は堆積膜厚で決まるが、ここでは約0.3 $\mu\text{m}$ である。続いて、ゲート電極4および側壁絶縁膜5をマスクとして例えば120KeV、 $6 \times 10^{13} \text{ cm}^{-2}$ の条件でSiイオンを注入することにより、ソース領域6-1およびドレイン領域6-2のn+層を形成する。

【0040】そして、図6(d)に示すように、注入したイオンの活性化のためのアニールを800~900°Cで行い、最後にAuGe合金からなるソース電極7-1およびドレイン電極7-2を形成して本発明実施例のFETが完成する。

【0041】本方法によれば、ゲート電極のドレイン端と、p型層を補償するためのイオン注入部分が自己整合的に形成できるため、最終的に形成されるp型埋め込み層ゲート電極直下のチャネル下部のみに正確に規定される。このため、マスク合わせ誤差などに起因する特性変動が生じず、所望の特性のFETを均一・再現性良く実現することが可能である。また、本発明実施例は他の製造方法によっても実現可能である。これを、図7を用いて説明する。

【0042】まず、図7(a)に示すように、半絶縁性のGaAs基板1の表面に、選択的イオン注入法によりFETの動作層となるn型層2を形成した後、その表面に厚さ0.6 $\mu\text{m}$ の酸化シリコン(SiO<sub>2</sub>)膜5を形成し、後にゲート電極のドレイン端となる部分を境にSiO<sub>2</sub>膜を選択的に除去した後、SiO<sub>2</sub>膜をマスクとしてp型埋め込み層3を形成するためのMgのイオン注入を、加速電圧180KeV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ 程度で行う。次に、図7(b)に示すように、全面にゲート電極となる硅化タングステン(WSi)膜4を1 $\mu\text{m}$ の厚さに堆積する。

【0043】引き続き、WSi膜4を反応性イオンエッチング法により全面に渡ってその膜厚相当分だけエッチングすることにより、図7(c)に示すようにSiO<sub>2</sub>膜の側壁にのみゲート金属を残し、ゲート電極4を形成する。このゲート電極4およびSiO<sub>2</sub>膜5をマスクとして、ソース領域にのみイオン注入を行い、図7(d)に示すように中間濃度層8を形成する。

【0044】次に、SiO<sub>2</sub>膜を除去した後、再度プラズマCVD法などの段差被覆性に優れた方法でSiO<sub>2</sub>膜を膜厚0.4 $\mu\text{m}$ 程度堆積した後、反応性イオンエッチング(RIE)等の異方性エッチングにより垂直方向に膜厚相当分だけエッチングすることにより、ゲート電

極4の側壁にのみ酸化シリコン膜5を残置させ、ゲート電極4および側壁絶縁膜5をマスクとして例えば120 KeV、 $6 \times 10^{13} \text{ cm}^{-2}$ の条件でSiイオンを注入することにより、ソース領域6-1およびドレイン領域6-2のn+層を形成する。(図7(e))そして、図7(f)に示すように、注入したイオンの活性化のためのアニールを800~900℃で行い、最後にAuGe合金からなるソース電極7-1およびドレイン7-2を形成して本発明実施例のFETが完成する。

【0045】本方法によれば、ゲート電極のドレイン端と、P型層形成のためのイオン注入部分が自己整合的に形成できるため、p型埋め込み層の端はゲート電極のドレイン端に正確に規定される。このため、マスク合わせ誤差などに起因する特性変動が生じず、所望の特性のFETを均一・再現性良く実現することが可能である。

【0046】本発明の第1の実施例(図1【製造方法は図2】)及び本発明の第2の実施例(図5【製造方法は図6】)によるFETの性能を、図9に示す従来のp埋め込み型セルフアライン構造(a)、LDD構造

(b)、およびn+オフセット構造(c)と比較した。この際、ゲート長は0.5 $\mu\text{m}$ とした。

【0047】まず短チャネル効果に関してであるが、ゲート長4 $\mu\text{m}$ のFETを基準とした場合の、0.5 $\mu\text{m}$ FETにおけるしきい値電圧の変動( $V_{th}$ シフト量)は、p埋め込み型セルフアライン構造(図9(a))が300mVと最も大きく、また飽和領域でのドレインコンダクタンス $g_d (= \delta I_d / \delta V_d)$ も50mS/mmであり、正常なピンチオフ特性を示さなかった。これに対し、他の4つの構造では、 $V_{th}$ シフト量50~100mV、 $g_d = 10 \sim 15 \text{ mS/mm}$ であり、ピンチオフ特性はいずれも良好であった。

【0048】次に、電流駆動能力 $g_m$ に関しては、n+オフセット構造(図9(c))においては、チャネルとソース・ドレインn+領域を接続する部分の抵抗が、表面単位に基づく表面空乏層、および埋め込みp層とのpn接合による空乏層により極めて高抵抗となったため、 $g_m$ に大きな影響を与えるソース直列抵抗が1.0 $\Omega \cdot \text{mm}$ と、LDD構造(図9(b))の0.4 $\Omega \cdot \text{mm}$ に比較して2倍以上に大きく、この結果 $g_m$ が270mS/mmと、LDD構造の400mS/mmと比較して約30%低下してしまった。これに対して本発明による2つの構造では、第1の実施例ではチャネルとソース・ドレインn+領域を接続する部分の下部に埋め込みp層がないため、また第2の実施例ではソース側はLDD構造と同じ構造であるため、いずれもソース直列抵抗がLDD構造と同様0.4~0.5 $\Omega \cdot \text{mm}$ と低く、 $g_m$ も380~400mS/mmとLDD構造と同程度の値が得られた。

【0049】以上のように、3つの従来例の中では短チャネル効果、電流駆動能力の両面から、LDD構造が最

も優れているといえるが、本発明の実施例は、上記2項目に関してはLDD構造と遜色のない性能が得られている。

【0050】次に、FETのほかの重要な性能、すなわちゲート・ドレイン間の逆方向特性に関して述べる。ショットキ特性の逆方向耐圧に関して本発明の2つの実施例をLDD構造と比較した結果、LDD構造において3.5~4.5Vであったものが、本発明の2つの実施例ではいずれも7~8Vと、約2倍の向上がみられた。これは、ゲート電極ドレイン端の不純物濃度が、LDD構造ではチャネル形成のためと中間濃度層の2回のイオン注入により形成されているのに対し、本発明の2つの実施例ではいずれもチャネルと同一の動作層のみであるため、表面濃度が約1/3に低減されたためである。

【0051】次に、本発明の第3の実施例として、図8に等価回路図を示すようにDCFLのスイッチングFETとして本発明のGaAsMESFETを用いた例について説明する。

【0052】すなわち、この例はインバータを構成するもので、負荷の定電流源となるデプレッション型FETTr1としては従来のLDD構造のFETを用い、スイッチング用のエンハンスメント型FETTr2としては本発明のFETを用いたものである。このFETTr2の構造としては図1もしくは図5に示すものとまったく同様の構造にした。

【0053】これらのインバータの動作速度を、スイッチング用エンハンスメント型FETTr2として従来のLDD構造のFETを用いた場合と比較した結果、インバータ1段あたりの消費電力1.0mW/gate ( $V_{dd} = 2.0\text{V}$ )の条件下で、LDD構造FETを用いたものが25ps/gateであったのに対し、本発明FETをスイッチングFETとして用いた第8図のインバータではいずれも16ps/gateと、約35%も向上した。

【0054】これは、前述したごとくゲート電極のドレイン端の不純物濃度が低減された結果、インバータの帰還容量として働くゲート・ドレイン間容量が低減されたためである。

【0055】

【発明の効果】以上述べてきたように、従来のp埋め込み型LDD構造FETでは、埋め込みp層とのpn接合によって伸びる空乏層の影響で寄生抵抗が増大しFETの性能が劣化するのを防ぐために、中間濃度層としてチャネルの2~10倍の不純物濃度を必要とし、その結果ゲート・ドレイン間逆方向耐圧の低下、ゲート・ドレイン間帰還容量の増大に伴う動作速度の低下を招いていたのに対し、本発明によれば、少なくともドレイン側の中間濃度層の濃度をチャネルと同程度まで下げることが可能であるため、ドレイン耐圧が大幅に向上すると同時に、ゲート容量を低減して動作速度を向上させることが可能であるうえ、製造方法も極めて容易である。

## 【図面の簡単な説明】

【図1】 本発明の第1の実施例のGaAsMESFETを示す断面構造図。

【図2】 図1で示したGaAsMESFETの製造工程図。

【図3】 図1で示したGaAsMESFETの製造工程図。

【図4】 図1で示したGaAsMESFETの製造工程図。

【図5】 本発明の第2の実施例のGaAsMESFETを示す断面構造図。

【図6】 図5で示したGaAsMESFETの製造工程図。

【図7】 図5で示したGaAsMESFETの製造工程図。

程図。

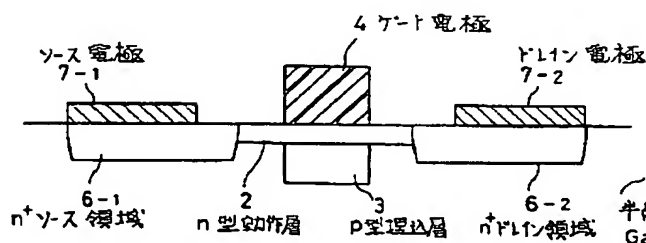
【図8】 本発明の第3の実施例のインバータの等価回路図。

【図9】 従来例のGaAsMESFETを示す図。

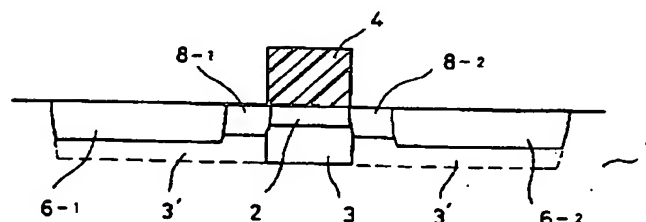
## 【符号の説明】

- 1～半絶縁性GaAs基板
- 2～n型動作層
- 3～p型層
- 4～ゲート電極
- 5～酸化シリコン(SiO<sub>2</sub>)膜
- 6-1、6-2～ソース・ドレインn<sup>+</sup>領域
- 7-1、7-2～ソース・ドレイン電極
- 8-1、8-2～中間濃度層
- 9～レジスト

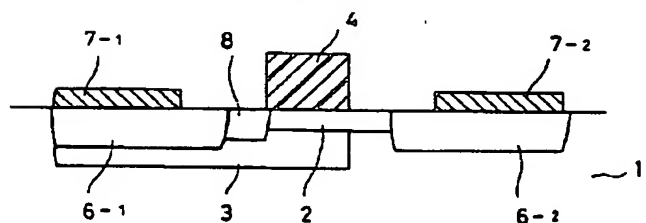
【図1】



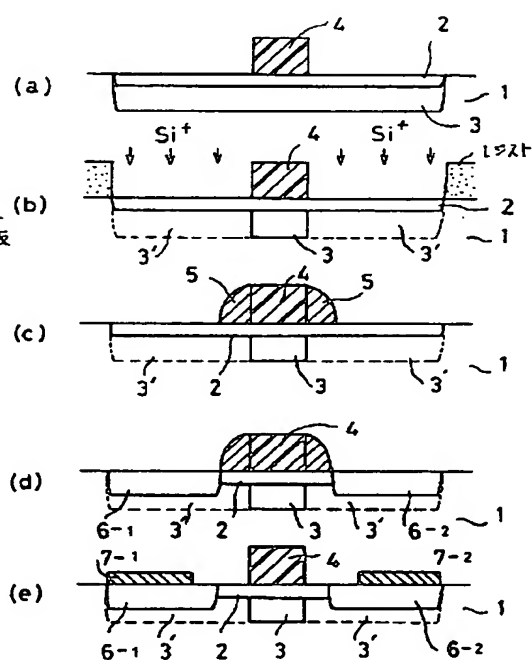
【図3】



【図5】

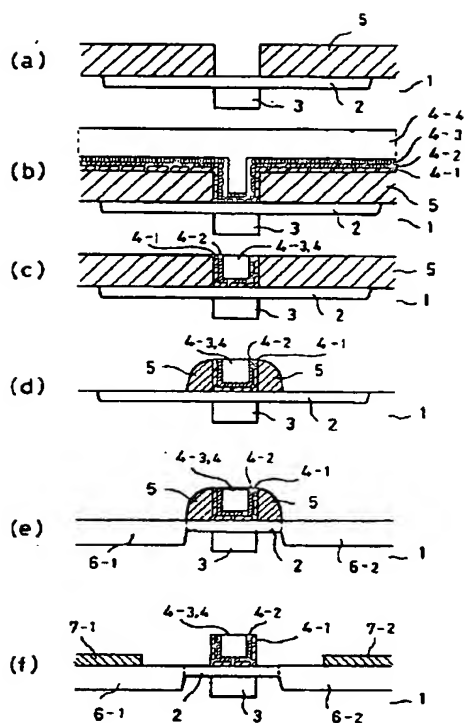


【図2】

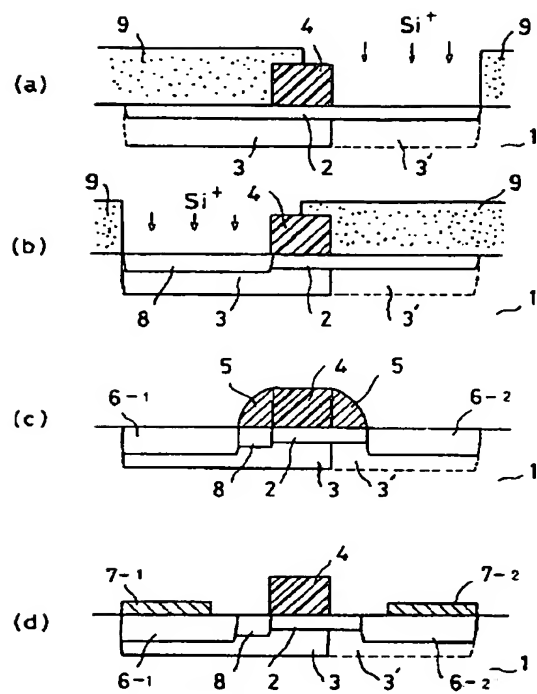




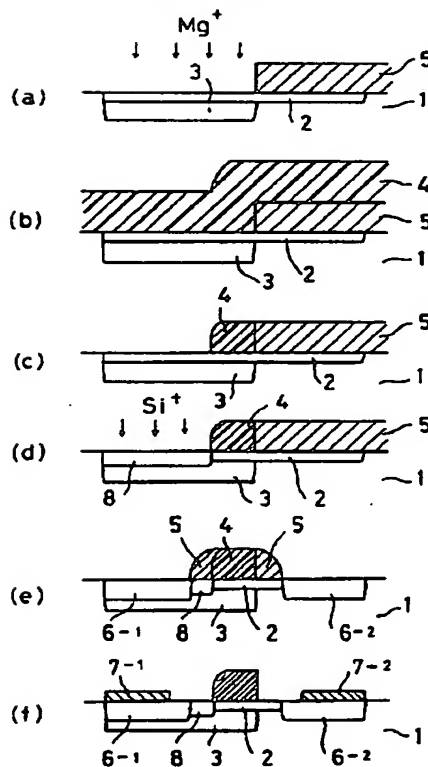
【図4】



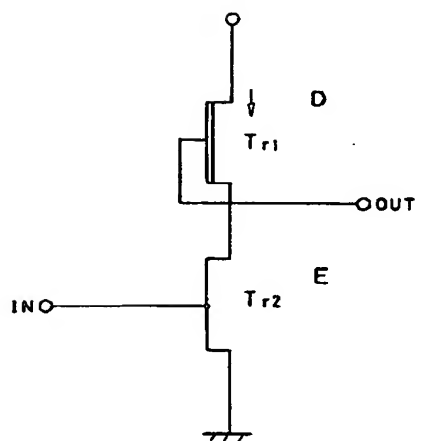
【図6】



【図7】



【図8】



【図9】

